

(19) 世界知的所有権機関
国際事務局



549761

(43) 国際公開日
2004年9月30日 (30.09.2004)

PCT

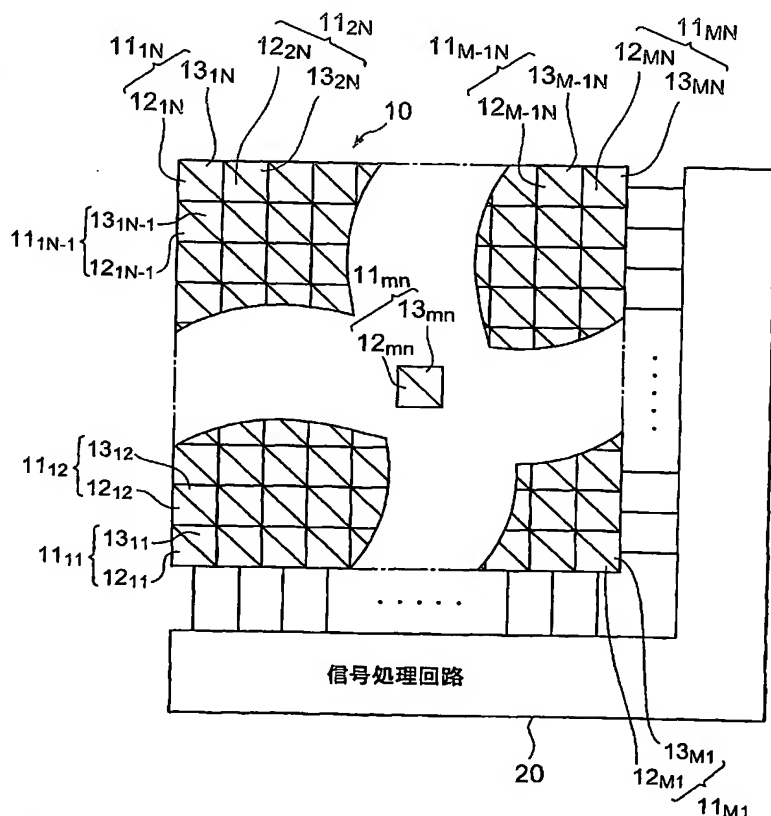
(10) 国際公開番号
WO 2004/083774 A1

- (51) 国際特許分類⁷: G01B 11/00
- (21) 国際出願番号: PCT/JP2004/001415
- (22) 国際出願日: 2004年2月10日 (10.02.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-078624 2003年3月20日 (20.03.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.) [JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1 Shizuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 杉山 行信 (SUGIYAMA, Yukinobu) [JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP). 水野 誠一郎 (MIZUNO, Seichiro) [JP/JP]; 〒4358558 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP).
- (74) 代理人: 長谷川 芳樹, 外 (HASEGAWA, Yoshiki et al.); 〒1040061 東京都中央区銀座一丁目10番6号銀座ファーストビル 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

[続葉有]

(54) Title: OPTICAL SENSOR

(54) 発明の名称: 光検出装置



(57) Abstract: The processing speed of determining the two-dimensional position of a point on which light falls is increased, and the structure is simplified. In a photosensitive region (10), pixels (11_{MN}) are arranged two-dimensionally. Each pixel (11_{MN}) is composed of photosensitive portions (12_{MN}, 13_{MN}) which are arranged adjacent to each other in the same plane and output currents corresponding to the intensities of light. In a first direction of the two-dimensional arrangement, the photosensitive portions (12_{MN}) are electrically interconnected. In the second direction, the photosensitive portions (13_{MN}) are electrically interconnected. Thus photosensitive portion groups are constituted. Integrating circuits for converting the current outputs from the photosensitive portion groups into voltage outputs and A/D converter circuits for converting the voltage outputs into digital outputs in adequate ranges are provided. The luminance profiles in the respective directions are determined.

20...SIGNAL PROCESSING CIRCUIT

[続葉有]

WO 2004/083774 A1



ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

光が入射した2次元位置の検出処理の高速化および構成の簡素化を図る目的とする。画素(1 1_{mn})が2次元配列された光感応領域(1 0)において、各々入射した光の強度に応じた電流を出力する複数の光感応部分(1 2_{mn}, 1 3_{mn})を同一面内にて隣接配設することで1画素(1 1_{mn})が構成され、2次元配列における第1の方向について各画素(1 1_{mn})の一方の光感応部分(1 2_{mn})同士を電氣的に接続し、第2の方向について各画素(1 1_{mn})の他方の光感応部分(1 3_{mn})同士を電氣的に接続し、それぞれに光感応部分群を構成する。光感応部分群それぞれの電流出力を電圧出力に変換する積分回路、当該電圧出力を適正な範囲においてデジタル出力に変換するためのA/D変換回路を備えて、各方向の輝度プロファイルを検出する。

明細書

光検出装置

技術分野

【0001】 本発明は、光が入射した2次元位置を検出する光検出装置に関するものである。

背景技術

【0002】 従来における光検出装置においては、MOS型イメージセンサ等の固体撮像素子を用いて、撮像により得られた画像データを画像メモリに取り込み、画像処理して2次元位置を検出するのが一般的である（例えば、特許文献1参照。）。

【0003】 【特許文献1】 特開平01-167769号公報

発明の開示

【0004】 しかしながら、上述した従来技術においては、得られた画像データを格納する画像メモリが必要となることから、装置構成が複雑なものになってしまう。また、画像データを画像メモリに格納した後に演算処理を行って2次元位置を検出するため、2次元位置の検出処理に時間がかかってしまう。

【0005】 本発明は上述の点に鑑みてなされたもので、その目的は、2次元位置の検出処理の高速化および構成の簡素化を図ることが可能な光検出装置を提供することにある。

【0006】 上述した目的を達成するため、本発明に係る光検出装置は、本発明に係る光検出装置は、画素が2次元配列された光感応領域を有する光検出装置であって、各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内にて隣接して配設することで1画素が構成され、2次元配列における第1の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電氣的に接続され、2次元配列における第2

の方向に配列された複数の画素にわたって、当該各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電氣的に接続されており、第1の方向に配列された複数の画素間において電氣的に接続された一方の光感応部分群からの電流出力、及び、第2の方向に配列された複数の画素間において電氣的に接続された他方の光感応部分群からの電流出力を読み出し、当該電流出力に基づいて2次元配列における第1の方向及び第2の方向での輝度プロファイルを検出するための信号処理回路を備えることを特徴とする。

【0007】 本発明に係る光検出装置では、1つの画素に入射した光は当該画素を構成する複数の光感応部分それぞれにおいて検出されて、光強度に応じた電流が光感応部分毎に出力される。そして、一方の光感応部分同士が2次元配列における第1の方向に配列された複数の画素にわたって電氣的に接続されているので、一方の光感応部分からの電流出力は第1の方向に送られる。また、他方の光感応部分同士が2次元配列における第2の方向に配列された複数の画素にわたって電氣的に接続されているので、他方の光感応部分からの電流出力は第2の方向に送られる。このように、一方の光感応部分からの電流出力は第1の方向に送られるとともに、他方の光感応部分からの電流出力は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分を配設するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

【0008】 また、本発明においては、1つの信号処理回路により、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとがそれぞれ検出される。一方の光感応部分群からの電流出力を処理するための回路と他方の光感応部分群からの電流出力を処理するための回路とが共通化されるので、回路面積を縮小することができ、低コスト化を図ることができる。

【0009】 また、上記信号処理回路は、一方の光感応部分群からの電流出力

を第2の方向に順次読み出し、他方の光感応部分群からの電流出力を第1の方向に順次読み出すためのシフトレジスタと、シフトレジスタにより順次読み出される各一方の光感応部分群からの電流出力及び各他方の光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する積分回路と、を有することが好ましい。このように構成した場合、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを極めて簡易な構成にて得ることができる。

【0010】 また、上記信号処理回路は、一方の光感応部分群及び他方の光感応部分群に対応して設けられ、対応する一方の光感応部分群からの電流出力及び他方の光感応部分群からの電流出力を電圧出力に変換して、電圧値を出力する積分回路と、積分回路に対応して設けられ、対応する積分回路から出力される電圧値の変化量に応じた値の電圧を出力するCDS回路と、CDS回路に対応して設けられ、対応するCDS回路から出力される電圧出力を保持して出力するサンプルアンドホールド回路と、サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する最大値検出回路と、サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力するA/D変換回路と、を有することが好ましい。このように構成した場合、積分回路それぞれが積分動作ごとに異なるノイズばらつきを有していても、CDS回路によりノイズ誤差が解消される。また、光感応部分に入射する光強度が大きいときのみならず、光強度が小さくてもA/D変換の分解能が優れたものとなる。この結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度にて得ることができる。

【0011】 本発明に係る光検出装置は、光感応領域を有する光検出装置であって、光感応領域は、第1の方向にわたって互いに電氣的に接続される複数の第1光感応部分と第1の方向に交差する第2の方向にわたって互いに電氣的に接続される複数の第2光感応部分とを含み、複数の第1光感応部分と複数の第2光感

5 応部分とは2次元的に混在した状態で同一面内にて配列されており、第1の方向にわたって互いに電氣的に接続された第1光感応部分群からの電流出力、及び、第2の方向にわたって互いに電氣的に接続された第2光感応部分群からの電流出力を読み出して当該電流出力に基づいて2次元配列における第1の方向及び第2の方向での輝度プロファイルを検出するための信号処理回路を備えることを特徴としている。

10 【0012】 本発明に係る光検出装置では、光感応領域に入射した光はいずれかの第1光感応部分及び第2光感応部分において検出されて、光強度に応じた電流が各光感応部分毎に出力される。そして、第1光感応部分同士が第1の方向にわたって電氣的に接続されているので、第1光感応部分からの電流出力は第1の方向に送られる。また、第2光感応部分同士が第2の方向にわたって電氣的に接続されているので、第2光感応部分からの電流出力は第2の方向に送られる。このように、第1光感応部分からの電流出力は第1の方向に送られるとともに、第2光感応部分からの電流出力は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、複数の第1光感応部分と複数の第2光感応部分とを2次元的に混在した状態で同一面内にて配列するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

15 20 【0013】 また、本発明においては、1つの信号処理回路により、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとがそれぞれ検出される。第1光感応部分群からの電流出力を処理するための回路と第2光感応部分群からの電流出力を処理するための回路とが共通化されるので、回路面積を縮小することができ、低コスト化を図ることができる。

25 【0014】 また、上記信号処理回路は、第1光感応部分群からの電流出力を第2の方向に順次読み出し、第2光感応部分群からの電流出力を第1の方向に順次読み出すためのシフトレジスタと、シフトレジスタにより順次読み出される各

第1光感応部分群からの電流出力及び第2光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する積分回路と、を有することが好ましい。このように構成した場合、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを極めて簡易な構成にて得ることができる。

5 【0015】 また、上記信号処理回路は、第1光感応部分群及び第2光感応部分群に対応して設けられ、対応する第1光感応部分群からの電流出力及び第2光感応部分群からの電流出力を電圧出力に変換して、電圧値を出力する積分回路と、積分回路に対応して設けられ、対応する積分回路から出力される電圧値の変化量に
10 応じた値の電圧を出力するCDS回路と、CDS回路に対応して設けられ、対応するCDS回路から出力される電圧出力を保持して出力するサンプルアンドホールド回路と、サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する最大値検出回路と、サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力するA/D変換回路と、を有することが好ましい。このように構成した場合、積分回路それぞれが積分動作ごとに異なるノイズばらつきを有していても、CDS回路によりノイズ誤差が解消される。また、光感応部分に入射する光強度が大きいときのみならず、光強度が小さくてもA/D変換の分解能が優れたものとなる。この結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度にて得ることができる。

図面の簡単な説明

15 【0016】 図1は、本実施形態に係る光検出装置を示す概念構成図である。

【0017】 図2は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

25 【0018】 図3は、図2のIII-III線に沿った断面図である。

【0019】 図4は、本実施形態に係る光検出装置に含まれる光感応領域の一

例を示す要部拡大平面図である。

【0020】 図5は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

5 【0021】 図6は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【0022】 図7は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

【0023】 図8は、本実施形態に係る光検出装置に含まれる光感応領域の一例を示す要部拡大平面図である。

10 【0024】 図9は、本実施形態に係る光検出装置に含まれる信号処理回路を示す概略構成図である。

【0025】 図10は、信号処理回路の動作を説明するためのタイミングチャートである。

15 【0026】 図11は、本実施形態に係る光検出装置に含まれる信号処理回路の変形例を示す概略構成図である。

【0027】 図12は、信号処理回路の変形例に含まれる積分回路の回路図である。

【0028】 図13は、信号処理回路の変形例に含まれるCDS回路の回路図である。

20 【0029】 図14は、信号処理回路の変形例に含まれるサンプルアンドホールド回路の回路図である。

【0030】 図15は、信号処理回路の変形例に含まれる最大値検出回路の回路図である。

25 【0031】 図16は、信号処理回路の変形例に含まれるA/D変換回路の回路図である。

【0032】 図17は、本実施形態に係る光検出装置の変形例を示す概念構成

図である。

発明を実施するための最良の形態

【0033】 本発明の実施形態に係る光検出装置について図面を参照して説明する。なお、説明において、同一要素又は同一機能を有する要素には、同一符号を用いることとし、重複する説明は省略する。以下では、パラメータM及びNそれぞれを2以上の整数とする。また、特に明示しない限りは、パラメータmを1以上M以下の任意の整数とし、パラメータnを1以上N以下の任意の整数とする。

【0034】 図1は、本実施形態に係る光検出装置を示す概念構成図である。本実施形態に係る光検出装置1は、図1に示されるように、光感応領域10と、信号処理回路20とを有している。

【0035】 光感応領域10は、画素11_{mn}がM行N列に2次元配列されている。1画素は、各々に入射した光の強度に応じた電流を出力する光感応部分12_{mn}（第1光感応部分）及び光感応部分13_{mn}（第2光感応部分）を同一面内にて隣接して配設することで構成されている。これにより、光感応領域10において、光感応部分12_{mn}と光感応部分13_{mn}とは2次元的に混在した状態で同一面内にて配列されることとなる。

【0036】 2次元配列における第1の方向に配列された複数の画素11₁₁～11_{1N}、11₂₁～11_{2N}、・・・、11_{M1}～11_{MN}にわたって、当該各画素11_{mn}を構成する複数の光感応部分12_{mn}、13_{mn}のうち一方の光感応部分12_{mn}同士（たとえば、一方の光感応部分12₁₁～12_{1N}）が互いに電氣的に接続されている。また、2次元配列における第2の方向に配列された複数の画素11₁₁～11_{M1}、11₁₂～11_{M2}、・・・、11_{1N}～11_{MN}にわたって、当該各画素11_{mn}を構成する複数の光感応部分12_{mn}、13_{mn}のうち他方の光感応部分13_{mn}同士（たとえば、他方の光感応部分13₁₁～13_{M1}）が互いに電氣的に接続されている。

【0037】 ここで、図2及び図3に基づいて、光感応領域10の構成について説明する。図2は、光検出装置に含まれる光感応領域の一例を示す要部拡大平

面図であり、図3は、図2のIII-III線に沿った断面図である。なお、図2においては、保護層48の図示を省略している。

【0038】 光感応領域10は、P型（第1導電型）の半導体からなる半導体基板40と、当該半導体基板40の表層に形成されたN型（第2導電型）の半導体領域41、42とを含んでいる。これにより、各光感応部分12_{mn}、13_{mn}は半導体基板40部分と一組の第2導電型半導体領域41、42とを含み、フォトダイオードが構成されることとなる。第2導電型半導体領域41、42は、図2に示されるように、光入射方向から見て略三角形状を呈しており、1画素において2つの領域41、42が互いに一辺が隣接して形成されている。半導体基板40は、接地電位とされている。なお、光感応領域10は、N型の半導体からなる半導体基板と、当該半導体基板の表層に形成されたP型の半導体領域とを含んで構成されていてもよい。領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、図2から分かるように、第1の方向から見ても、第2の方向から見ても交互に配列されていることになる。また、領域41（光感応部分12_{mn}）と領域42（光感応部分13_{mn}）とは、第1の方向と第2の方向とに交差する（たとえば、45°にて交差する）第3の方向から見ても、同じく第1の方向と第2の方向とに交差する（たとえば、45°にて交差する）第4の方向から見ても交互に配列されていることになる。

【0039】 半導体基板40と領域41、42の上には第1絶縁層43が形成され、この第1絶縁層43に形成されたコンタクトホールを介して第1配線44が一方の領域41に電氣的に接続されている。また、第1絶縁層43に形成されたコンタクトホールを介して電極45が他方の領域42に電氣的に接続されている。

【0040】 第1絶縁層43の上には第2絶縁層46が形成され、この第2絶縁層46に形成されたコンタクトホールを介して第2配線47が電極45に電氣的に接続されている。これにより、他方の領域42は、電極45を介して第2配

線 4 7 に電氣的に接続されることになる。

【0041】 第2絶縁層 4 6 の上には保護層 4 8 が形成されている。第1絶縁層 4 3、第2絶縁層 4 6 及び保護層 4 8 は、 SiO_2 又は SiN 等からなる。第1配線 4 4、電極 4 5 及び第2配線 4 7 は、Al 等の金属からなる。

5 【0042】 第1配線 4 4 は、各画素 11_m における一方の領域 4 1 を第1の方向にわたって電氣的に接続するものであって、画素 11_m 間を第1の方向に延びて設けられている。このように、各画素 11_m における一方の領域 4 1 を第1配線 4 4 で接続することにより、2次元配列における第1の方向に配列された複数の画素 $11_{11} \sim 11_{1N}$, $11_{21} \sim 11_{2N}$, \dots , $11_{M1} \sim 11_{MN}$ にわたって一方の光感応部分 12_m 同士（たとえば、一方の光感応部分 $12_{11} \sim 12_{1N}$ ）が電氣的に
10 接続されて、光感応領域 1 0 において第1の方向に長く延びる光感応部が構成される。この第1の方向に長く延びる光感応部はM列形成されることになる。

【0043】 第2配線 4 7 は、各画素 11_m における他方の領域 4 2 を第2の方向にわたって電氣的に接続するものであって、画素 11_m 間を第2の方向に延びて設けられている。このように、各画素 11_m における他方の領域 4 2 を第2
15 配線 4 7 で接続することにより、2次元配列における第2の方向に配列された複数の画素 $11_{11} \sim 11_{M1}$, $11_{12} \sim 11_{M2}$, \dots , $11_{1N} \sim 11_{MN}$ にわたって他方の光感応部分 13_m 同士（たとえば、他方の光感応部分 $13_{11} \sim 13_{M1}$ ）が電氣的に
20 接続されて、光感応領域 1 0 において第2の方向に長く延びる光感応部が構成される。この第2の方向に長く延びる光感応部はN行形成されることになる。

【0044】 また、光感応領域 1 0 においては、上述した第1の方向に長く延びるM列の光感応部と第2の方向に長く延びるN行の光感応部とが同一面上に形成されることになる。

【0045】 領域 4 1, 4 2 の形状は、図 2 に示された略三角形のものに限られず、図 4 ～図 8 に示されるように、他の形状であってもよい。
25

【0046】 図 4 に示された第2導電型半導体領域（光感応部分）は、光入射

方向から見て長方形を呈しており、1画素において2つの領域4 1, 4 2が互いに長辺が隣接して形成されている。領域4 1（光感応部分1 2_{mn}）と領域4 2（光感応部分1 3_{mn}）とは、第2の方向において交互に配列されている。図4に示されるように、1画素あたり第1の方向と第2の方向の第2導電型半導体領域の面積が異なっているとしても、画素間で夫々の方向ごとに一定であればよい。すなわち、同一の方向に延びる全ての配線で各々に接続されている光感応領域の総面積が同じであればよい。

【0047】 図5に示された第2導電型半導体領域（光感応部分）は、略三角形を呈した一方の領域4 1が第1の方向に連続して形成されている。他方の領域4 2は略三角形を呈しており、各画素1 1_{mn}間で独立して形成されている。領域4 1（光感応部分1 2_{mn}）と領域4 2（光感応部分1 3_{mn}）とは、第2の方向において交互に配列されている。なお、一方の領域4 1を第1の方向に連続して形成した場合、必ずしも第1配線4 4を設ける必要はないが、直列抵抗の増加に伴って読み出し速度が低下することが考えられることから、第1配線4 4にて各領域4 1を電氣的に接続するのが好ましい。

【0048】 図6に示された第2導電型半導体領域（光感応部分）は、1画素あたり4つの領域4 1 a, 4 1 b, 4 2 a, 4 2 bからなり、対角に位置する領域を対として、第1配線4 4あるいは第2配線4 7にて電氣的に接続されている。領域4 1（光感応部分1 2_{mn}）と領域4 2（光感応部分1 3_{mn}）とは、第1の方向及び第2の方向において交互に配列されている。また、領域4 1（光感応部分1 2_{mn}）と領域4 2（光感応部分1 3_{mn}）とは、第3の方向及び第4の方向において交互に配列されている。

【0049】 図7に示された第2導電型半導体領域（光感応部分）は、2つの楕円の領域4 1, 4 2がお互い噛み合うように形成されている。

【0050】 図8に示された第2導電型半導体領域（光感応部分）は、光入射方向から見て4角形以上の多角形状（たとえば8角形状）を呈しており、1画素

において1辺が隣接して形成されている。そして、領域4 1と領域4 2とは、1画素において第1の方向と第2の方向とに交差する第3の方向に並設されており、光入射方向から見てハニカム状に配列されている。すなわち、領域4 1（光感応部分1 2_{mn}）と領域4 2（光感応部分1 3_{mn}）とは、第3の方向及び第4の方向において交互に配列されている。

【0051】 続いて、図9に基づいて、信号処理回路20の構成について説明する。図9は、信号処理回路を示す概略構成図である。

【0052】 信号処理回路20は、光感応領域10に入射した光の第2の方向での輝度プロファイル及び第1の方向での輝度プロファイルを検出するためのもので、第2の方向及び第1の方向での輝度プロファイルを示す電圧V_{out}を出力する。

【0053】 信号処理回路20は、図9に示されるように、スイッチ素子21と、シフトレジスタ22と、積分回路23とを有している。スイッチ素子21は、第1の方向に配列された複数の画素1 1₁₁～1 1_{1N}、1 1₂₁～1 1_{2N}、・・・、1 1_{M1}～1 1_{MN}間において電氣的に接続された一方の光感応部分1 2_{mn}群（一方の第2導電型半導体領域4 1からなり、第1の方向に長く延びるM列の光感応部）と、第2の方向に配列された複数の画素1 1₁₁～1 1_{M1}、1 1₁₂～1 1_{M2}、・・・、1 1_{1N}～1 1_{MN}間において電氣的に接続された他方の光感応部分1 3_{mn}群（他方の第2導電型半導体領域4 2からなり、第2の方向に長く延びるN行の光感応部）とに対応して設けられている。シフトレジスタ22は、第1の方向に配列された複数の画素1 1₁₁～1 1_{1N}、1 1₂₁～1 1_{2N}、・・・、1 1_{M1}～1 1_{MN}間において電氣的に接続された一方の光感応部分1 2_{mn}群からの電流出力を第2の方向に順次読み出し、第2の方向に配列された複数の画素1 1₁₁～1 1_{M1}、1 1₁₂～1 1_{M2}、・・・、1 1_{1N}～1 1_{MN}間において電氣的に接続された他方の光感応部分1 3_{mn}群からの電流出力を第1の方向に順次読み出すためのものである。積分回路23は、シフトレジスタ22により順次読み出される各一方の光感応部分1 2_{mn}群からの電流出力及び各他方の光感応部分1 3_{mn}群からの電流出力を順次入力し、その電流出力

を電圧出力に変換する。

【0054】 スイッチ素子21は、シフトレジスタ22から出力される信号 $s_{shift(m)}$, $s_{shift(M+n)}$ により制御されて順次閉じられる。スイッチ素子21を閉じることにより、第1の方向に配列された複数の画素 $1_{11} \sim 1_{1N}$, $1_{121} \sim 1_{12N}$, \dots , $1_{1M1} \sim 1_{1MN}$ 間において電氣的に接続された一方の光感応部分 1_{2m} 群に蓄積された電荷が電流となって、第1配線44及びスイッチ素子21を介して積分回路23に出力される。また、スイッチ素子21を閉じることにより、第2の方向に配列された複数の画素 $1_{11} \sim 1_{1M1}$, $1_{112} \sim 1_{1M2}$, \dots , $1_{11N} \sim 1_{1MN}$ 間において電氣的に接続された他方の光感応部分 1_{3m} 群に蓄積された電荷が電流となって、第2配線47及びスイッチ素子21を介して積分回路23に出力される。シフトレジスタは、制御回路（図示せず）から出力される信号 Φ_1 , Φ_2 , Φ_{st} によりその動作が制御されて、スイッチ素子21を順次閉じる。

【0055】 積分回路23は、アンプ24と、容量素子25と、スイッチ素子26とを含んでいる。アンプ24は、第1の方向に配列された複数の $1_{11} \sim 1_{1N}$, $1_{121} \sim 1_{12N}$, \dots , $1_{1M1} \sim 1_{1MN}$ 間において電氣的に接続された一方の光感応部分 1_{2m} 群からの電流出力、及び、第2の方向に配列された複数の画素 $1_{11} \sim 1_{1M1}$, $1_{112} \sim 1_{1M2}$, \dots , $1_{11N} \sim 1_{1MN}$ 間において電氣的に接続された他方の光感応部分 1_{3m} 群からの電流出力を入力し、入力した電流出力の電荷を増幅する。容量素子25は、アンプ24の入力端子に一方の端子が接続され、アンプ24の出力端子に他方の端子が接続されている。スイッチ素子26は、アンプ24の入力端子に一方の端子が接続され、アンプ24の出力端子に他方の端子が接続され、制御回路から出力されるリセット信号 Φ_{reset} が High の場合には「ON」状態となり、リセット信号 Φ_{reset} が Low の場合には「OFF」状態となる。

【0056】 積分回路23は、スイッチ素子26が「ON」状態であるときに

は、容量素子 2 5 を放電して初期化する。一方、積分回路 2 3 は、スイッチ素子 2 6 が「OFF」状態であるときには、第 1 の方向に配列された複数の画素 1 1₁₁ ~ 1 1_{1N}, 1 1₂₁ ~ 1 1_{2N}, . . . , 1 1_{M1} ~ 1 1_{MN} 間において電氣的に接続された一方の光感応部分 1 2_{mn} 群、及び、第 2 の方向に配列された複数の画素 1 1₁₁ ~ 1 1_{M1}, 1 1₁₂ ~ 1 1_{M2}, . . . , 1 1_{1N} ~ 1 1_{MN} 間において電氣的に接続された他方の光感応部分 1 3_{mn} 群それぞれから入力端子に入力した電荷を容量素子 2 5 に蓄積して、その蓄積された電荷に応じた電圧 V_{out} を出力端子から出力する。

【0057】 続いて、図 10 に基づいて、信号処理回路 2 0 の動作について説明する。図 10 は、信号処理回路の動作を説明するためのタイミングチャートである。

【0058】 図 10 において、制御回路からシフトレジスタ 2 2 にスタート信号 Φ_{st} が入力されると、信号 Φ_2 の立ち上がりから信号 Φ_1 の立下りまでの期間に対応したパルス幅を有する信号 $shift(m)$, $shift(M+n)$ が順次出力される。シフトレジスタ 2 2 から対応するスイッチ素子 2 1 に $shift(m)$, $shift(M+n)$ が出力されると、スイッチ素子 2 1 が順次閉じ、対応する一方の光感応部分 1 2_{mn} 群及び他方の光感応部分 1 3_{mn} 群に蓄積された電荷が電流となって積分回路 2 3 に順次出力される。

【0059】 積分回路 2 3 には、制御回路からリセット信号 Φ_{reset} が入力されており、リセット信号 Φ_{reset} が「OFF」状態の期間、対応する一方の光感応部分 1 2_{mn} 群及び他方の光感応部分 1 3_{mn} 群に蓄積された電荷が容量素子 2 5 に蓄積されて、蓄積された電荷量に応じた電圧 V_{out} が積分回路 2 3 から順次出力される。なお、積分回路 2 3 は、リセット信号 Φ_{reset} が「ON」状態のときにはスイッチ素子 2 6 を閉じて容量素子 2 5 を初期化する。

【0060】 このように、信号処理回路 2 0 からは、第 1 の方向に配列された複数の画素 1 1₁₁ ~ 1 1_{1N}, 1 1₂₁ ~ 1 1_{2N}, . . . , 1 1_{M1} ~ 1 1_{MN} 間において電氣的に接続された一方の光感応部分 1 2_{mn} 群にて蓄積されて電荷（電流出力）、及び、

第2の方向に配列された複数の画素 $1\ 1_{11} \sim 1\ 1_{M1}$, $1\ 1_{12} \sim 1\ 1_{M2}$, \dots , $1\ 1_{1N} \sim 1\ 1_{MN}$ 間において電氣的に接続された他方の光感応部分 $1\ 3_{mn}$ 群にて蓄積されて電荷（電流出力）に対応した電圧 V_{out} が、対応する一方の光感応部分 $1\ 2_{mn}$ 群及び他方の光感応部分 $1\ 3_{mn}$ 群毎に順次時系列データとして出力される。この時

5 系列データは、第2の方向での輝度プロファイル及び第1の方向での輝度プロファイルを示すものである。

【0061】 以上のように、本実施形態の光検出装置1においては、1つの画素 $1\ 1_{mn}$ に入射した光は当該画素 $1\ 1_{mn}$ を構成する複数の光感応部分 $1\ 2_{mn}$, $1\ 3_{mn}$ それぞれに、光強度に応じた電流が光感応部分 $1\ 2_{mn}$, $1\ 3_{mn}$ 毎に出力される。

10 そして、一方の光感応部分 $1\ 2_{mn}$ 同士が2次元配列における第1の方向に配列された複数の画素 $1\ 1_{11} \sim 1\ 1_{1N}$, $1\ 1_{21} \sim 1\ 1_{2N}$, \dots , $1\ 1_{M1} \sim 1\ 1_{MN}$ にわたって電氣的に接続されているので、一方の光感応部分 $1\ 2_{mn}$ から出力された電流は第1の方向に送られる。また、他方の光感応部分 $1\ 3_{mn}$ 同士が2次元配列における

15 第2の方向に配列された複数の画素 $1\ 1_{11} \sim 1\ 1_{M1}$, $1\ 1_{12} \sim 1\ 1_{M2}$, \dots , $1\ 1_{1N} \sim 1\ 1_{MN}$ にわたって電氣的に接続されているので、他方の光感応部分 $1\ 3_{mn}$ から出力された電流は第2の方向に送られる。このように、一方の光感応部分 $1\ 2_{mn}$ から出力された電流は第1の方向に送られるとともに、他方の光感応部分 $1\ 3_{mn}$ から出力された電流は第2の方向に送られることから、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとをそれぞれ独立して得ることが可能となる。この結果、1画素に複数の光感応部分 $1\ 2_{mn}$, $1\ 3_{mn}$ を配設するという極めて簡素な構成にて、入射した光の2次元位置を高速に検出することができる。

【0062】 また、本実施形態の光検出装置1において、各光感応部分 $1\ 2_{mn}$, $1\ 3_{mn}$ は、半導体基板40部分と第2導電型半導体領域41, 42とを含み、第2導電型半導体領域41, 42は、光入射方向から見て略三角形を呈しており、

25 1画素において互いに一辺が隣接して形成されている。これにより、複数の光感応部分 $1\ 2_{mn}$, $1\ 3_{mn}$ を1画素内に配設する際に、各光感応部分 $1\ 2_{mn}$, $1\ 3_{mn}$ (第

2導電型半導体領域41, 42)の面積が減少するのを抑制することができる。

【0063】 また、本実施形態の光検出装置1において、第2導電型半導体領域41, 42は、光入射方向から見て略長方形状を呈しており、1画素において長辺が隣接して形成されている。これにより、複数の光感応部分12_{mn}, 13_{mn}を1画素内に配設する際に、各光感応部分12_{mn}, 13_{mn} (第2導電型半導体領域41, 42)の面積が減少するのを抑制することができる。

【0064】 また、本実施形態の光検出装置1において、第2導電型半導体領域41, 42は、光入射方向から見て4角形以上の多角形状を呈しており、1画素において1辺が隣接して形成されている。これにより、複数の光感応部分12_{mn}, 13_{mn} (第2導電型半導体領域41, 42)を1画素内に配設する際に、各光感応部分12_{mn}, 13_{mn}の面積が減少するのを抑制することができる。また、各光感応部分12_{mn}, 13_{mn}の面積に対する周囲長は減ることとなり、単位面積当たりに換算した暗電流が低減される。なお、4角形以上の多角形状として、菱形形状を採用してもよい。

【0065】 また、本実施形態の光検出装置1において、第2導電型半導体領域41, 42とは、1画素において第1の方向と第2の方向とに交差する第3の方向に並設されている。これにより、一方の光感応部分12_{mn}群及び他方の光感応部分13_{mn}群において、各光感応部分12_{mn}, 13_{mn}群の中心部分に対応する光感応部分12_{mn}, 13_{mn}が集中することとなり、解像度を向上することができる。

【0066】 また、第2導電型半導体領域41, 42は、光入射方向から見てハニカム状に配列されている。これにより、複数の光感応部分12_{mn}, 13_{mn} (第2導電型半導体領域41, 42)を1画素内に配設する際に、各光感応部分12_{mn}, 13_{mn}の面積が減少するのをより一層抑制することができる。また、幾何学的対称性が高く、第2導電型半導体領域41, 42 (光感応部分12_{mn}, 13_{mn})を形成するために用いるマスクが位置ずれしたことによる不均一性が抑制できる。

【0067】 また、本実施形態の光検出装置1においては、第1配線44が、

画素 $1\ 1_m$ 間を第 1 の方向に延びて設けられており、第 2 配線 4 7 が、画素 $1\ 1_m$ 間を第 2 の方向に延びて設けられている。これにより、それぞれの配線 4 4, 4 7 により光感応部分 $1\ 2_m$, $1\ 3_m$ (第 2 導電型半導体領域 4 1, 4 2) への光の入射を妨げられることはなく、検出感度の低下を抑制できる。

5 【0068】 また、本実施形態の光検出装置 1 においては、1 つの信号処理回路 2 0 により、第 1 の方向での輝度プロファイルと第 2 の方向での輝度プロファイルとがそれぞれ検出される。一方の光感応部分 $1\ 2_m$ 群からの電流出力を処理するための回路と他方の光感応部分 $1\ 3_m$ 群からの電流出力を処理するための回路とが共通化されるので、回路面積を縮小することができ、低コスト化を図ることができる。

10 【0069】 また、本実施形態の光検出装置 1 においては、シフトレジスタ 2 2 と、積分回路 2 3 とを有している。これにより、第 1 の方向での輝度プロファイルと第 2 の方向での輝度プロファイルとを極めて簡易な構成にて得ることができる。

15 【0070】 次に、図 1 1 に基づいて、信号処理回路の変形例の構成について説明する。図 1 1 は、信号処理回路の変形例を示す概略構成図である。

20 【0071】 信号処理回路 1 0 0 は、図 1 1 に示されるように、積分回路 1 1 0 と、CDS 回路 1 2 0 と、サンプルアンドホールド回路 (以下、S/H 回路と称する) 1 3 0 と、最大値検出回路 1 4 0 と、シフトレジスタ 1 5 0 と、スイッチ素子 1 6 0 と、A/D 変換回路 1 7 0 とを有している。

25 【0072】 積分回路 1 1 0 は、第 1 の方向に配列された複数の $1\ 1_{11} \sim 1\ 1_{1N}$, $1\ 1_{21} \sim 1\ 1_{2N}$, \dots , $1\ 1_{M1} \sim 1\ 1_{MN}$ 間において電氣的に接続された一方の光感応部分 $1\ 2_m$ 群 (一方の第 2 導電型半導体領域 4 1 からなり、第 1 の方向に長く延びる M 列の光感応部)、及び、第 2 の方向に配列された複数の画素 $1\ 1_{11} \sim 1\ 1_{1M1}$, $1\ 1_{12} \sim 1\ 1_{1M2}$, \dots , $1\ 1_{1N} \sim 1\ 1_{1MN}$ 間において電氣的に接続された他方の光感応部分 $1\ 3_m$ 群 (他方の第 2 導電型半導体領域 4 2 からなり、第 2 の方向に

長く延びるN行の光感応部) に対応して設けられ、対応する一方の光感応部分 1 2_{mn} 群からの電流出力及び他方の光感応部分 1 3_{mn} 群からの電流出力を電圧に変換して、当該電圧を出力する。積分回路 1 1 0 は、図 1 2 に示されるように、入力端子と出力端子との間に互いに並列にアンプ A₁、容量素子 C₁ 及びスイッチ素子 S W₁ が接続されている。積分回路 1 1 0 は、スイッチ素子 S W₁ が閉じているときには、容量素子 C₁ を放電して初期化する。一方、積分回路 1 1 0 は、スイッチ素子 S W₁ が開いているときには、入力端子に入力した電荷を容量素子 C₁ に蓄積して、その蓄積された電荷に応じた電圧を出力端子から出力する。スイッチ素子 S W₁ は、制御回路(図示せず)から出力される Reset 信号に基づいて開閉する。

【0073】 CDS回路 1 2 0 は、積分回路 1 1 0 に対応して設けられ、対応する積分回路 1 1 0 から出力される電圧の値の変化量に応じた値の電圧を出力する。CDS回路 1 2 0 は、図 1 3 に示されるように、入力端子と出力端子との間に順にスイッチ素子 S W₂₁、結合容量素子 C₂₁ 及びアンプ A₂ を有している。また、アンプ A₂ の入出力間にスイッチ素子 S W₂₂ 及び積分容量素子 C₂₂ が互いに並列的に接続されている。スイッチ素子 S W₂₂ 及びスイッチ素子 S W₂₁ は、積分容量素子 C₂₂ に電荷を蓄積させるためのスイッチ手段として作用する。CDS回路 1 2 0 は、スイッチ素子 S W₂₂ が閉じているときには、積分容量素子 C₂₂ を放電して初期化する。スイッチ素子 S W₂₂ が開きスイッチ素子 S W₂₁ が閉じているときには、入力端子から結合容量素子 C₂₁ を経て入力した電荷を積分容量素子 C₂₂ に蓄積して、その蓄積された電荷に応じた電圧を出力端子から出力する。スイッチ素子 S W₂₁ は、制御回路から出力される CSW21 信号に基づいて開閉する。また、スイッチ素子 S W₂₂ は、制御回路から出力される Clamp1 信号に基づいて開閉する。

【0074】 S/H回路 1 3 0 は、CDS回路 1 2 0 に対応して設けられ、対応するCDS回路 1 2 0 から出力される電圧を保持して出力する。S/H回路 1 3 0 は、図 1 4 に示されるように、入力端子と出力端子との間に順にスイッチ素子 S W₃ 及びアンプ A₃ を有し、スイッチ素子 S W₃ とアンプ A₃ との接続点が容量

素子 C_3 を介して接地されている。S/H回路130は、スイッチ素子 SW_3 が閉じているときにCDS回路120から出力された電圧を容量素子 C_3 に記憶し、スイッチ素子 SW_3 が開いた後も、容量素子 C_3 の電圧を保持して、その電圧をアンプ A_3 を介して出力する。スイッチ素子 SW_3 は、制御回路から出力される Hold 信号に基づいて開閉する。スイッチ素子160は、シフトレジスタ150により制御されて順次に関き、S/H回路130から出力される電圧をA/D変換回路に順次に入力させる。

【0075】 最大値検出回路140は、S/H回路130それぞれから出力される電圧の最大値を検出する。最大値検出回路140は、図15に示されるように、NMOSトランジスタ $T_1 \sim T_{M+N}$ 、抵抗器 $R_1 \sim R_3$ 及び差動アンプ A_4 を備える。各トランジスタ $T_1 \sim T_{M+N}$ のソース端子は接地され、各トランジスタ $T_1 \sim T_{M+N}$ のドレイン端子は、抵抗器 R_3 を介して電源電圧Vddに接続されるとともに、抵抗器 R_1 を介して差動アンプ A_4 の反転入力端子に接続されている。各トランジスタ $T_1 \sim T_{M+N}$ のゲート端子は、S/H回路130の出力端子と接続されており、S/H回路130から出力される電圧が入力する。また、差動アンプ A_4 の反転入力端子と出力端子との間には抵抗器 R_2 が設けられ、差動アンプ A_4 の非反転入力端子は接地されている。この最大値検出回路140では、S/H回路130から出力された電圧が対応するトランジスタ $T_1 \sim T_{M+N}$ のゲート端子に入力され、各電圧のうちの最大値に応じた電位がトランジスタ $T_1 \sim T_{M+N}$ のドレイン端子に現れる。そして、そのドレイン端子の電位は、抵抗器 R_1 及び R_2 それぞれの抵抗値の比に応じた増幅率で差動アンプ A_4 により増幅され、その増幅された電圧の値が最大電圧値 V_{max} として出力端子からA/D変換回路170へ出力される。

【0076】 A/D変換回路170は、S/H回路130それぞれから出力される電圧を順次入力し、その電圧を最大値検出回路140により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力する。A/D変換回路170は、最大値検出回路140から出力される最大電圧値 V_{max} を入力し、この

最大電圧値 V_{\max} をA/D変換レンジとする。そして、A/D変換回路170は、S/H回路130から出力される電圧をスイッチ素子160及びアンプ180を介して順次に入力し、その電圧出力（アナログ値）をデジタル値に変換して出力する。A/D変換回路170は、図16に示されるように、可変容量積分回路171、比較回路172、容量制御部173及び読み出し部174を備える。

【0077】 可変容量積分回路171は、容量素子 C_{s1} 、アンプ A_5 、可変容量部 C_{s2} 及びスイッチ素子 SW_5 を備える。アンプ A_5 は、S/H回路130から出力されスイッチ素子160を介して順次に到達した電圧出力を、容量素子 C_{s1} を介して反転入力端子に入力する。アンプ A_5 の非反転入力端子は接地されている。可変容量部 C_{s2} は、容量が可変であって制御可能であり、アンプ A_5 の反転入力端子と出力端子との間に設けられ、入力した電圧に応じて電荷を蓄える。スイッチ素子 SW_5 は、アンプ A_5 の反転入力端子と出力端子との間に設けられ、開いているときには可変容量部 C_{s2} に電荷の蓄積を行わせ、閉じているときには可変容量部 C_{s2} における電荷蓄積をリセットする。そして、可変容量積分回路171は、S/H回路130から順次に出力された電圧を入力し、可変容量部 C_{s2} の容量に応じて積分し、積分した結果である電圧を出力する。

【0078】 比較回路172は、可変容量積分回路171からの電圧出力を反転入力端子に入力し、最大値検出回路140から出力された最大電圧値 V_{\max} を非反転入力端子に入力し、これら2つの入力電圧の値を大小比較して、その大小比較の結果である比較結果信号を出力する。

【0079】 容量制御部173は、比較回路172から出力された比較結果信号を入力し、この比較結果信号に基づいて可変容量部 C_{s2} の容量を制御する容量指示信号Cを出力するとともに、この比較結果信号に基づいて積分した結果である電圧の値と最大電圧値 V_{\max} とが所定の分解能で一致していると判断した場合に可変容量部 C_{s1} の容量値に応じた第1デジタル値を出力する。

【0080】 読み出し部174は、容量制御部173から出力された第1デジ

タル値を入力し、この第1デジタル値に対応する第2デジタル値を出力する。第2デジタル値は、第1デジタル値から可変容量積分回路171のオフセット値を除去した値を示すものである。読み出し部174は、例えば記憶素子であり、第1デジタル値をアドレスとして入力し、記憶素子のそのアドレスに記憶されているデータを第2デジタル値として出力する。この第2デジタル値は、第2の方向での輝度プロファイル及び第1の方向での輝度プロファイルを表す出力となる。

【0081】 以上のように、最大値検出回路140からそれぞれ出力され比較回路172にそれぞれ入力される最大電圧値 V_{\max} は、A/D変換回路170が飽和することなくA/D変換することができる電圧の最大値すなわちA/D変換レンジを規定している。しかも、A/D変換回路170に入力する各電圧のうち何れかの値は必ず最大電圧値 V_{\max} であるから、上記A/D変換レンジの全ての範囲を有効に活用することができる。すなわち、本実施形態に係る光検出装置1は、光強度が大きいときのみならず、光強度が小さくてもA/D変換の分解能が優れたものとなる。

【0082】 また、積分回路110それぞれが積分動作ごとに異なるノイズばらつきを有していても、CDS回路120によりノイズ誤差が解消される。

【0083】 また、各光感応部分 12_{mn} 、 13_{mn} 群に対応して積分回路110が設けられているので、各光感応部分 12_{mn} 、 13_{mn} 群から同じタイミングにて電荷を蓄積でき、それらの電荷量を電圧に変換することができる。

【0084】 これらの結果、第1の方向での輝度プロファイルと第2の方向での輝度プロファイルとを高精度且つ高速にて得ることができる。なお、上述した積分回路110、CDS回路120、S/H回路130、最大値検出回路140、シフトレジスタ150、スイッチ素子160、A/D変換回路170等の動作については、本出願人による特開2001-36128号公報等にも示されている。

【0085】 本発明は、前述した実施形態に限定されるものではない。たとえば、シフトレジスタを用いる代わりに、各光感応部分 12_{mn} 、 13_{mn} （第2導電型

半導体領域 4 1, 4 2) を均一な抵抗線で接続して、光の入射に伴って発生した電荷を抵抗線に流れ込んだ位置と当該抵抗線それぞれの端部との距離に反比例するように抵抗分割して抵抗線の端部から取り出し、当該端部からの電流出力に基づいて光の入射位置を求めるようにしてもよい。

5 【0086】 また、前述した実施形態においては、1画素を複数の光感応部分で構成しているが、1画素を一つの光感応部分で構成してもよい。たとえば、図 17 に示されるように、光感応領域 1 0 は、第 1 の方向にわたって互いに電氣的に接続される複数の第 1 光感応部分 1 2_{mn} と第 2 の方向にわたって互いに電氣的に接続される複数の第 2 光感応部分 1 3_{mn} とを含み、複数の第 1 光感応部分 1 2_{mn} と複数の第 2 光感応部分 1 3_{mn} とは 2 次元的に混在した状態で同一面内にて配列してもよい。この場合、第 1 光感応部分 1 2_{mn} と第 2 光感応部分 1 3_{mn} とは市松模様状に配列しており、第 1 光感応部分 1 2_{mn} と第 2 光感応部分 1 3_{mn} とは第 1 の方向及び第 2 の方向において交互に配列している。なお、市松模様状に配列する代わりに、図 8 に示されるようなハニカム状に配列してもよい。

15 産業上の利用可能性

 【0087】 本発明の光検出装置は、反射光あるいは直接光の入射位置検出システムに利用できる。

請求の範囲

1. 画素が2次元配列された光感応領域を有する光検出装置であって、
各々入射した光の強度に応じた電流を出力する複数の光感応部分を同一面内に
て隣接して配設することで1画素が構成され、

5 前記2次元配列における第1の方向に配列された複数の画素にわたって、当該
各画素を構成する複数の光感応部分のうち一方の光感応部分同士が電氣的に接続
され、

前記2次元配列における第2の方向に配列された複数の画素にわたって、当該
各画素を構成する複数の光感応部分のうち他方の光感応部分同士が電氣的に接続
10 されており、

前記第1の方向に配列された前記複数の画素間において電氣的に接続された一
方の光感応部分群からの電流出力、及び、前記第2の方向に配列された前記複数
の画素間において電氣的に接続された他方の光感応部分群からの電流出力を読み
出し、当該電流出力に基づいて前記2次元配列における第1の方向及び第2の方
15 向での輝度プロファイルを検出するための信号処理回路を備えることを特徴とす
る光検出装置。

2. 前記信号処理回路は、

前記一方の光感応部分群からの電流出力を前記第2の方向に順次読み出し、前
記他方の光感応部分群からの電流出力を前記第1の方向に順次読み出すためのシ
フトレジスタと、
20

前記シフトレジスタにより順次読み出される前記各一方の光感応部分群からの
電流出力及び前記各他方の光感応部分群からの電流出力を順次入力し、その電流
出力を電圧出力に変換する積分回路と、を有することを特徴とする請求の範囲第
1項に記載の光検出装置。

3. 前記信号処理回路は、

前記一方の光感応部分群及び前記他方の光感応部分群に対応して設けられ、対

応する一方の光感応部分群からの電流出力及び前記他方の光感応部分群からの電流出力を電圧出力に変換して、電圧値を出力する積分回路と、

前記積分回路に対応して設けられ、対応する積分回路から出力される電圧値の変化量に応じた値の電圧を出力するCDS回路と、

5 前記CDS回路に対応して設けられ、対応するCDS回路から出力される電圧出力を保持して出力するサンプルアンドホールド回路と、

前記サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する最大値検出回路と、

10 前記サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を前記最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力するA/D変換回路と、を有することを特徴とする請求の範囲第1項に記載の光検出装置。

4. 光感応領域を有する光検出装置であって、

15 前記光感応領域は、第1の方向にわたって互いに電氣的に接続される複数の第1光感応部分と前記第1の方向に交差する第2の方向にわたって互いに電氣的に接続される複数の第2光感応部分とを含み、

前記複数の第1光感応部分と前記複数の第2光感応部分とは2次元的に混在した状態で同一面内にて配列されており、

20 前記第1の方向にわたって互いに電氣的に接続された第1光感応部分群からの電流出力、及び、前記第2の方向にわたって互いに電氣的に接続された第2光感応部分群からの電流出力を読み出して当該電流出力に基づいて前記2次元配列における第1の方向及び第2の方向での輝度プロファイルを検出するための信号処理回路を備えることを特徴とする光検出装置。

5. 前記信号処理回路は、

25 前記第1光感応部分群からの電流出力を前記第2の方向に順次読み出し、前記第2光感応部分群からの電流出力を前記第1の方向に順次読み出すためのシフト

レジスタと、

前記シフトレジスタにより順次読み出される前記各第 1 光感応部分群からの電流出力及び前記第 2 光感応部分群からの電流出力を順次入力し、その電流出力を電圧出力に変換する積分回路と、を有することを特徴とする請求の範囲第 4 項に記載の光検出装置。

6. 前記信号処理回路は、

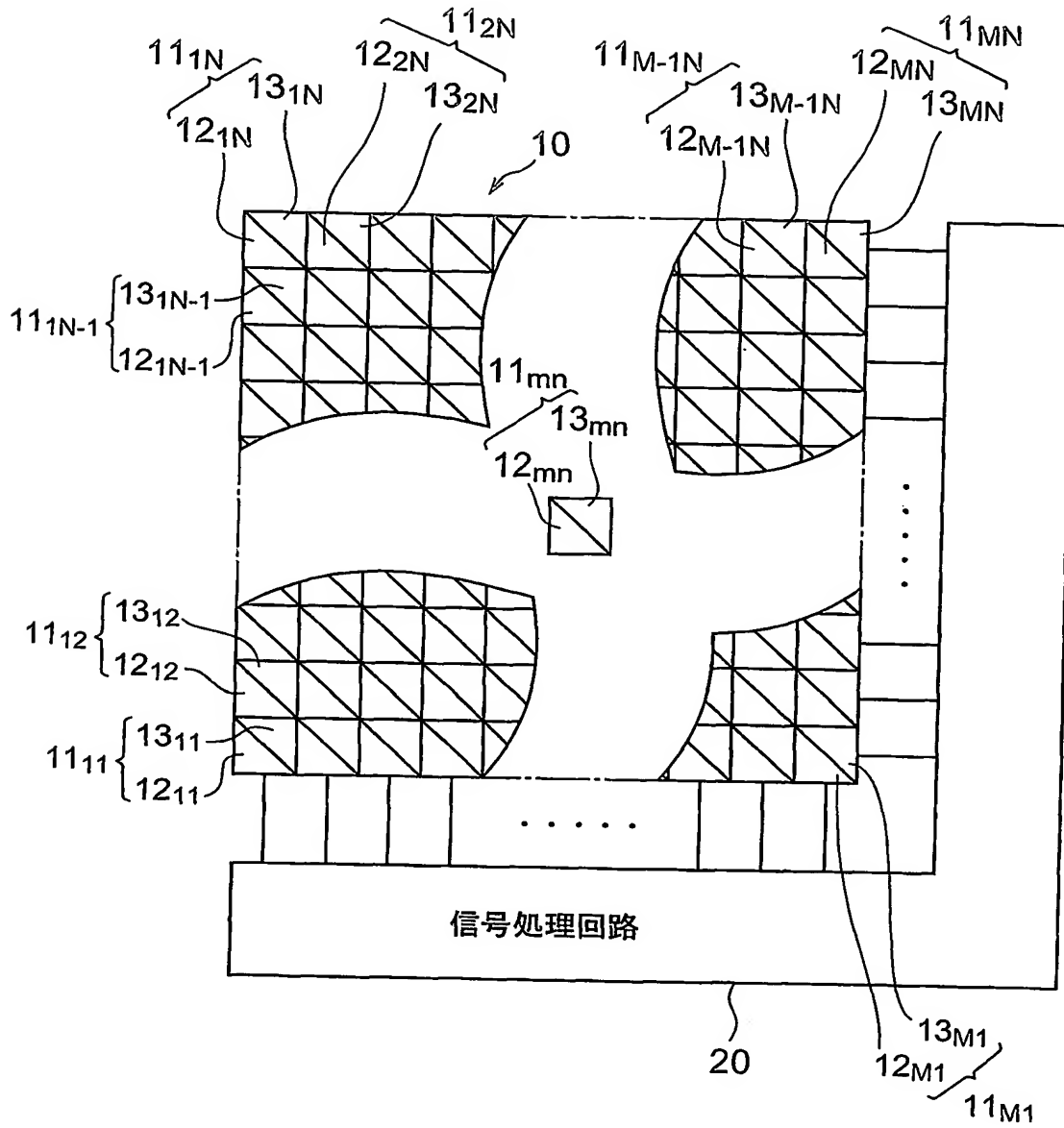
前記第 1 光感応部分群及び前記第 2 光感応部分群に対応して設けられ、対応する第 1 光感応部分群からの電流出力及び前記第 2 光感応部分群からの電流出力を電圧出力に変換して、電圧値を出力する積分回路と、

前記積分回路に対応して設けられ、対応する積分回路から出力される電圧値の変化量に応じた値の電圧を出力する C D S 回路と、

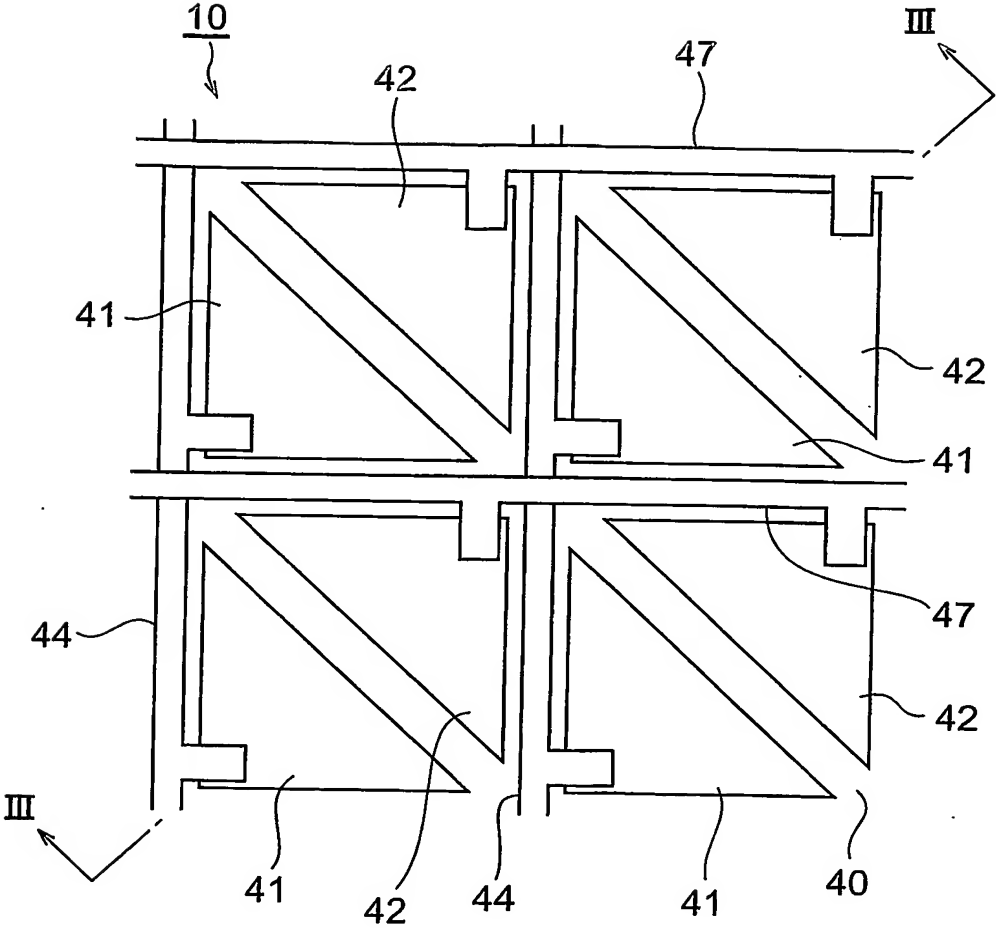
前記 C D S 回路に対応して設けられ、対応する C D S 回路から出力される電圧出力を保持して出力するサンプルアンドホールド回路と、

前記サンプルアンドホールド回路それぞれから出力される電圧出力の最大値を検出する最大値検出回路と、

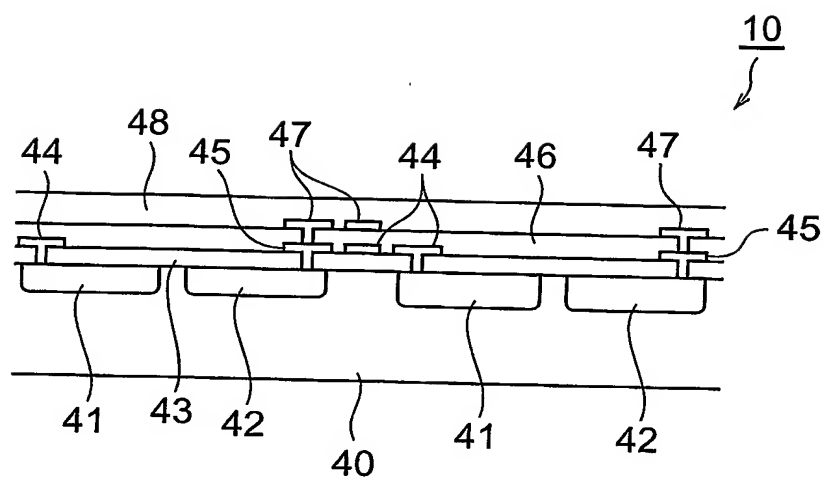
前記サンプルアンドホールド回路それぞれから出力される電圧出力を順次入力し、その電圧出力を前記最大値検出回路により検出された最大値に基づいてデジタル値に変換し、そのデジタル値を出力する A / D 変換回路と、を有することを特徴とする請求の範囲第 4 項に記載の光検出装置。

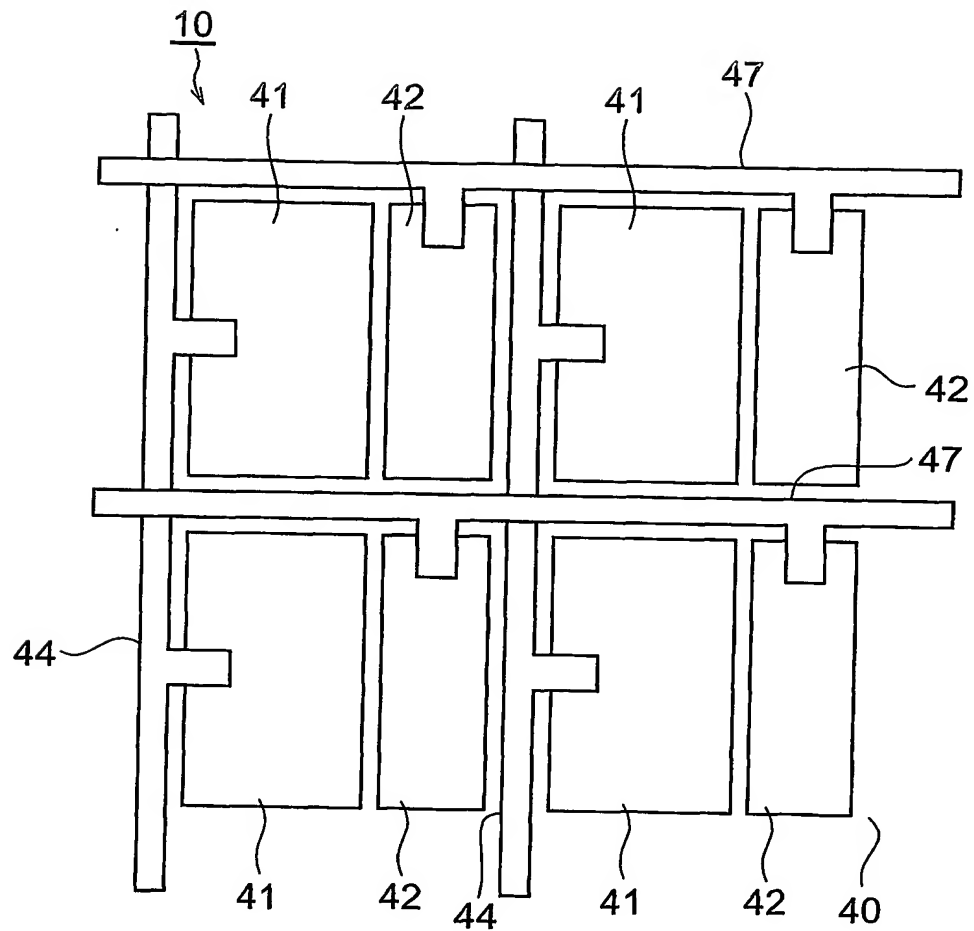


 2

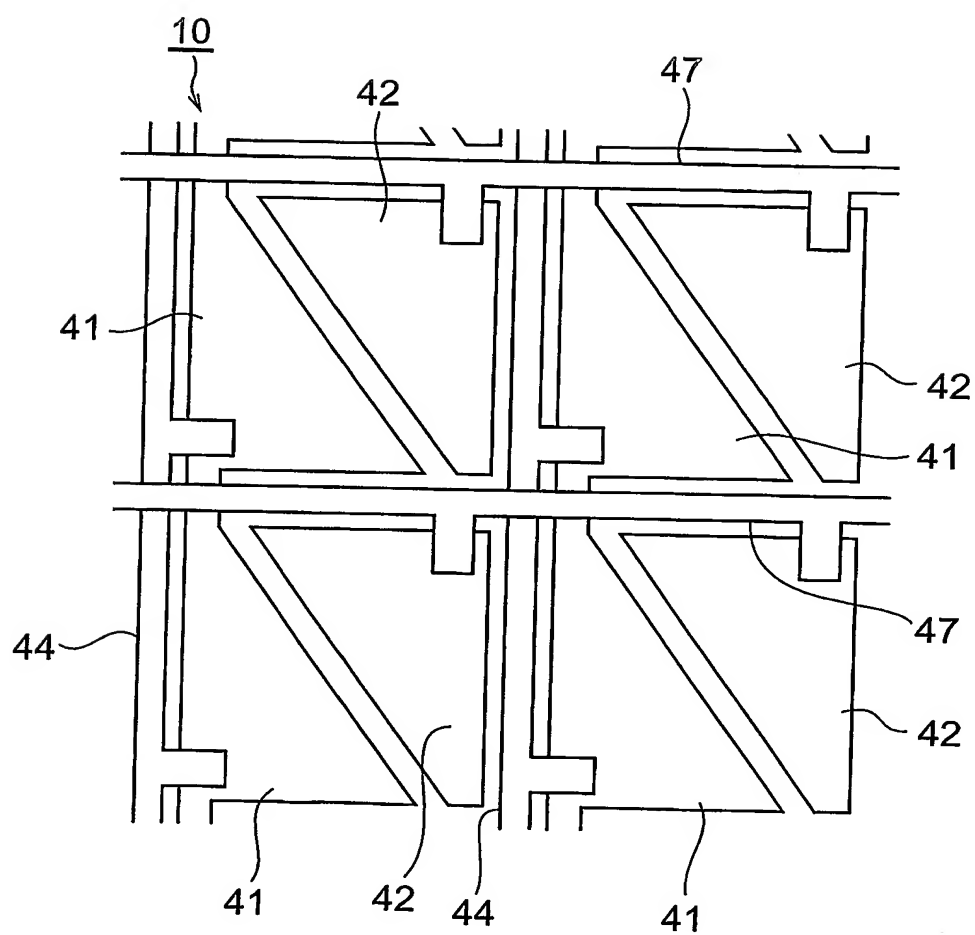


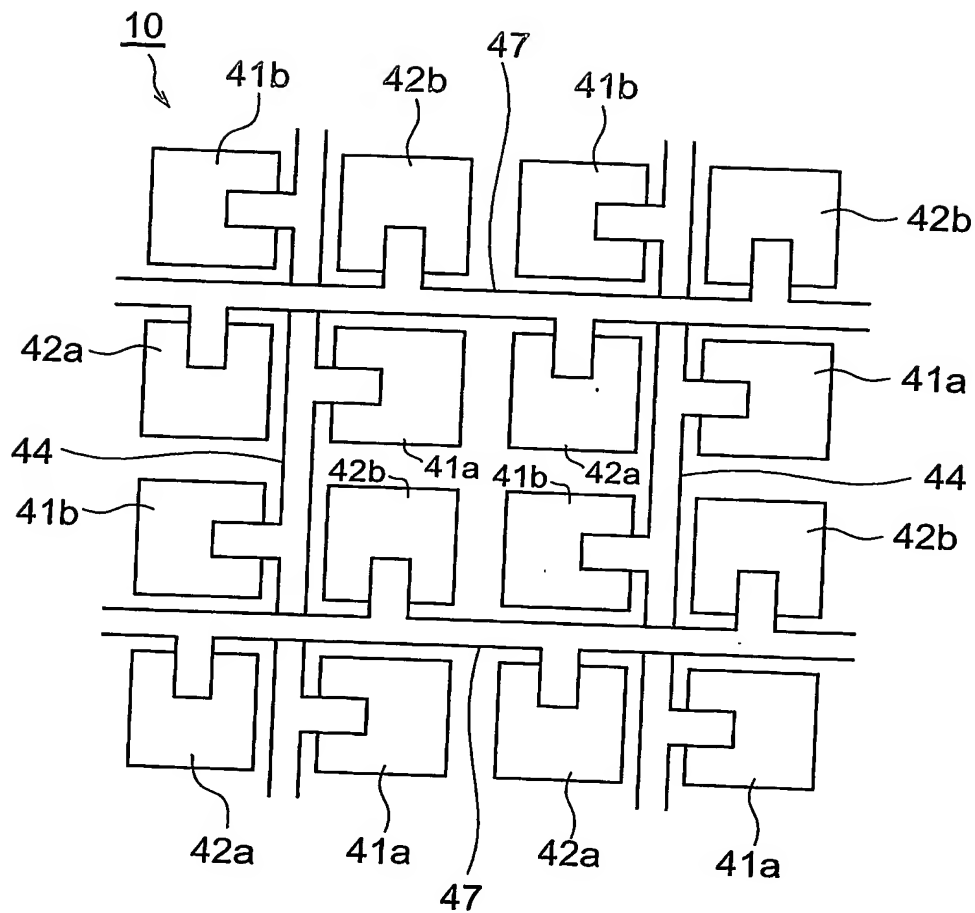
 3

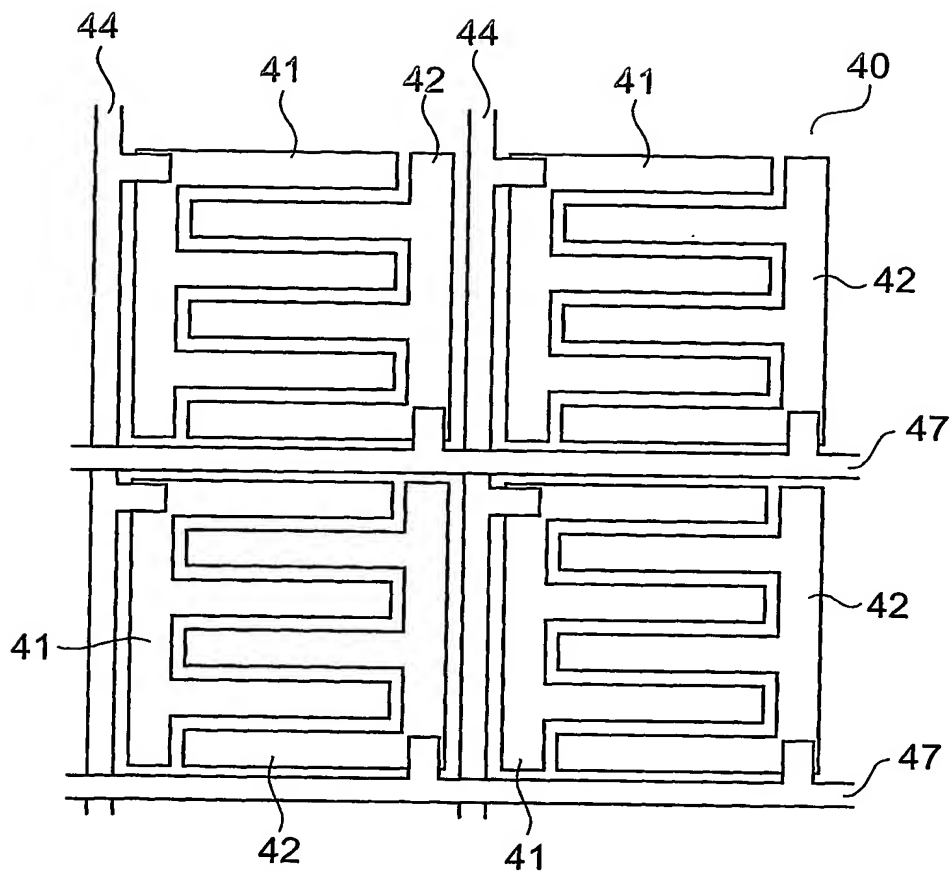




 5







8

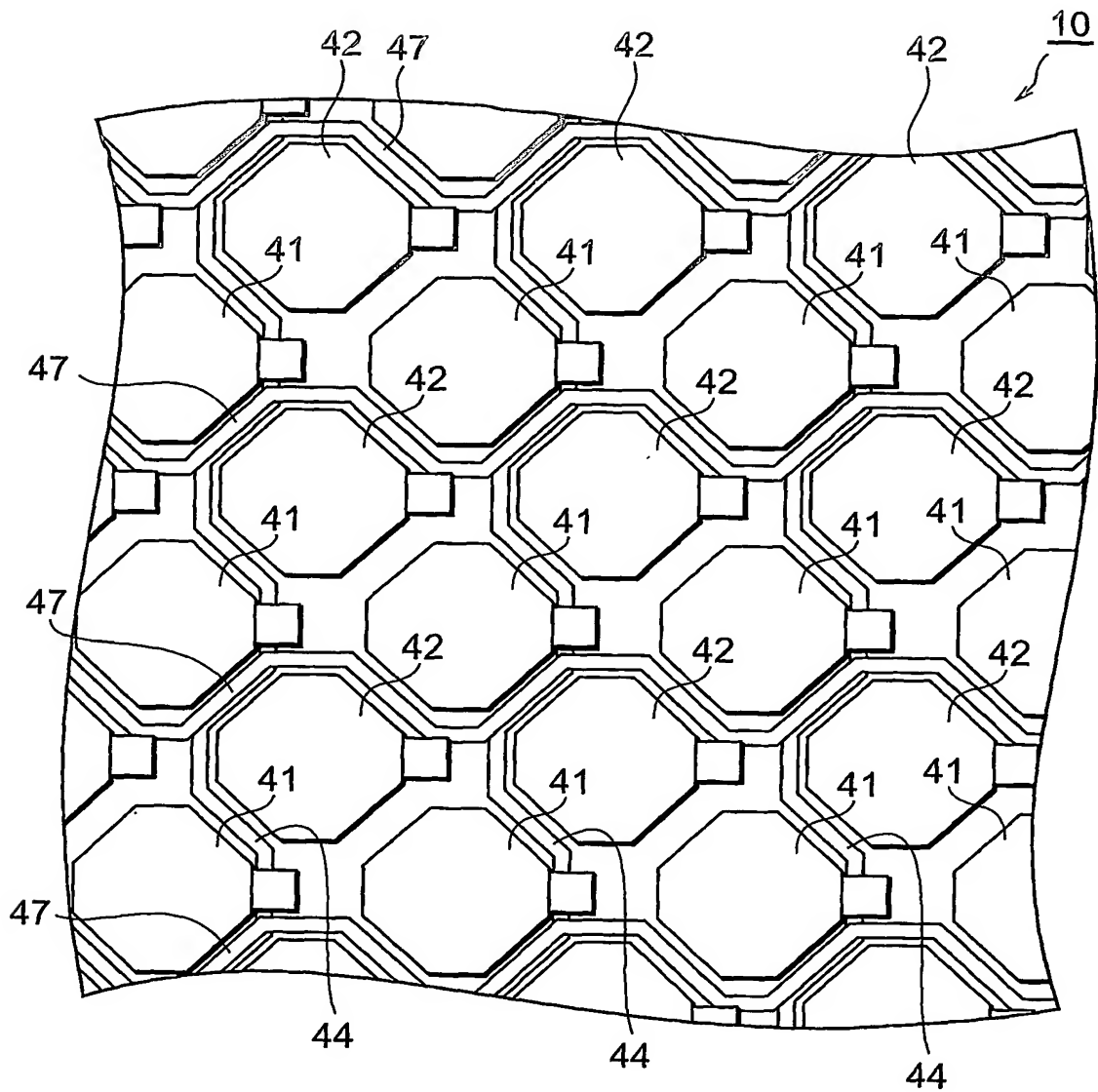


図9

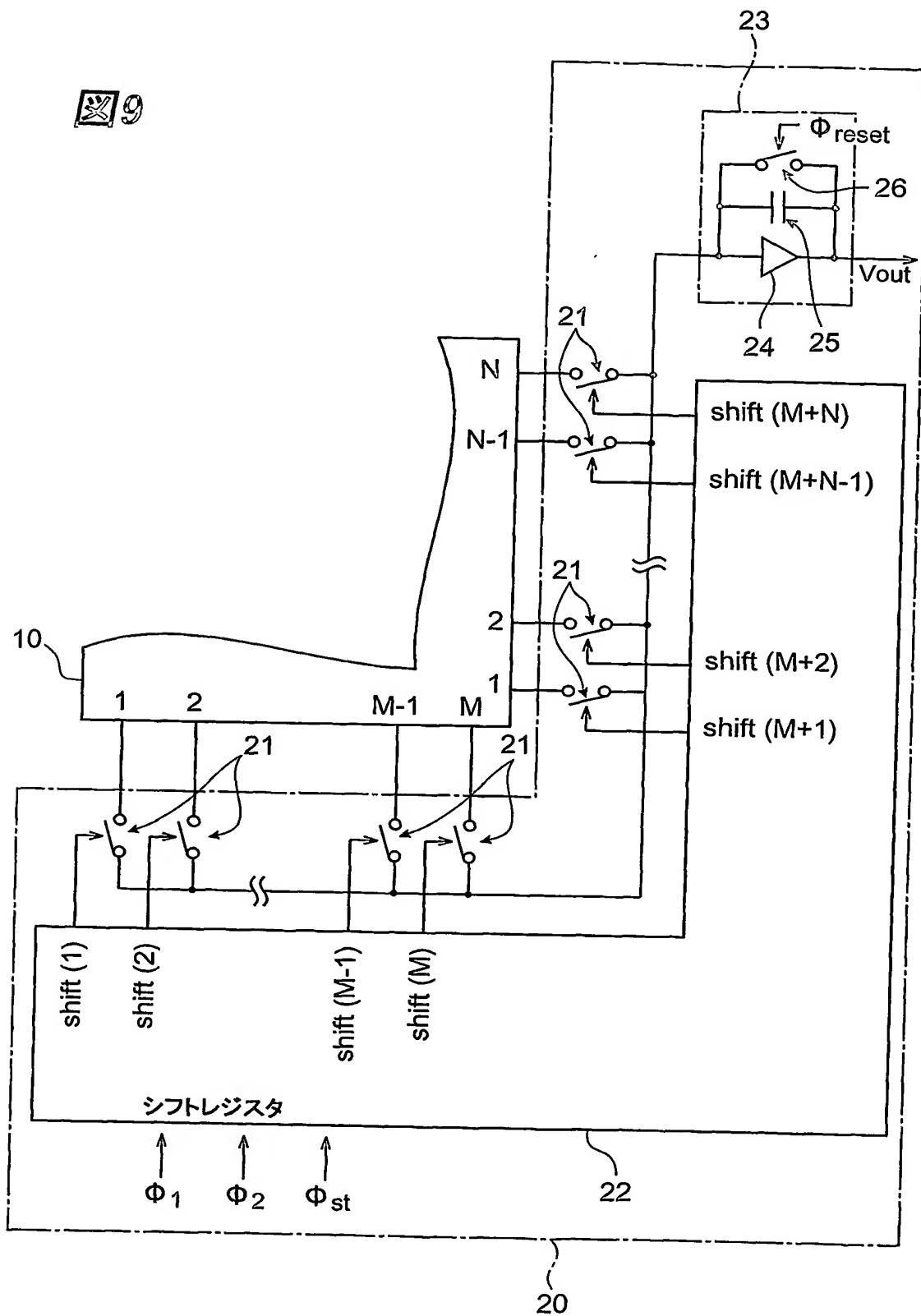


Figure 10 is a timing diagram illustrating the relationship between various signals over time. The signals are labeled as follows:

- (a) Φ_{st} : A single pulse at the beginning of the sequence.
- (b) Φ_1 : A periodic square wave.
- (c) Φ_2 : A periodic square wave, phase-shifted relative to Φ_1 .
- (d) Φ_{reset} : A periodic square wave, phase-shifted relative to Φ_1 and Φ_2 .
- (e) $shift(1)$: A signal that transitions from low to high at the first rising edge of Φ_1 .
- (f) $shift(2)$: A signal that transitions from low to high at the second rising edge of Φ_1 .
- (g) $shift(M)$: A signal that transitions from low to high at the M-th rising edge of Φ_1 .
- (h) $shift(M+1)$: A signal that transitions from low to high at the (M+1)-th rising edge of Φ_1 .
- (i) $shift(M+N-1)$: A signal that transitions from low to high at the (M+N-1)-th rising edge of Φ_1 .
- (j) $shift(M+N)$: A signal that transitions from low to high at the (M+N)-th rising edge of Φ_1 .
- (k) V_{out} : The output voltage, which shows a series of pulses corresponding to the shifts. Each pulse occurs at the rising edge of Φ_1 when the corresponding shift signal is high.

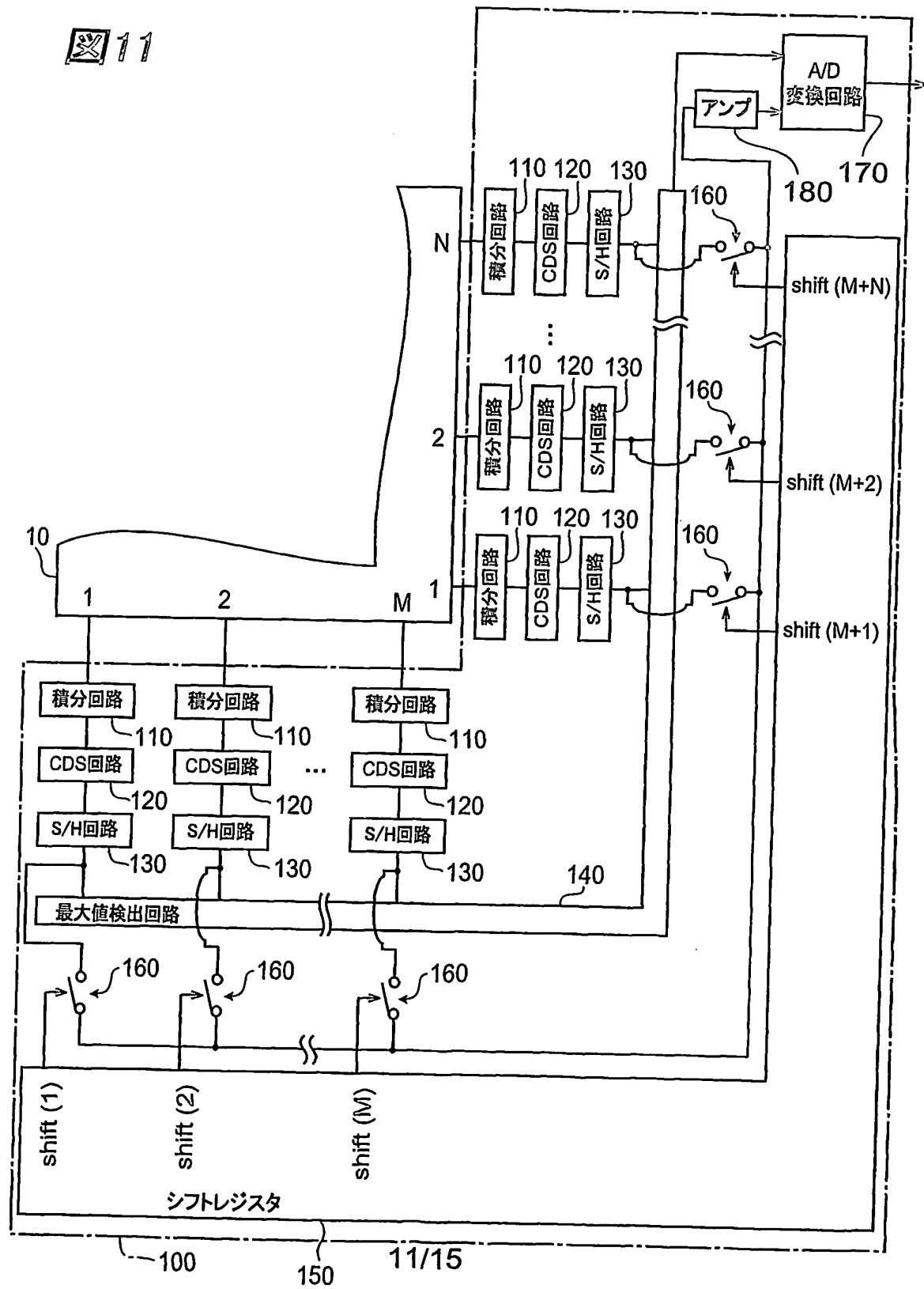


図12

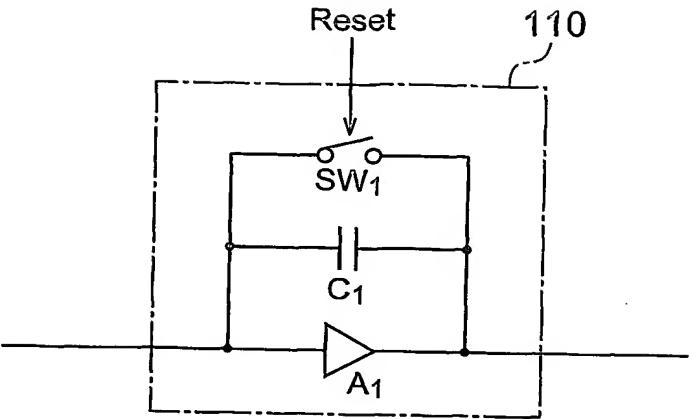


図13

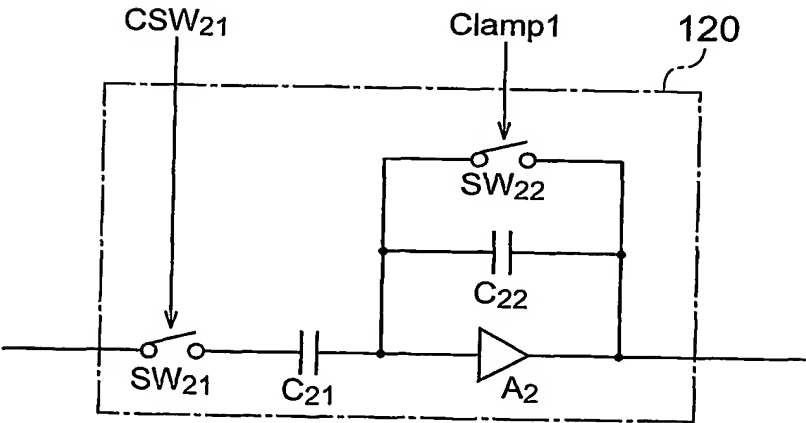


図 14

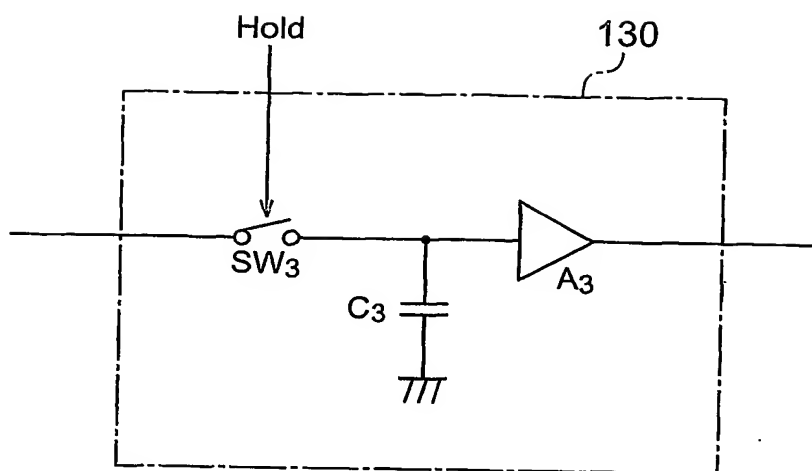


図 15

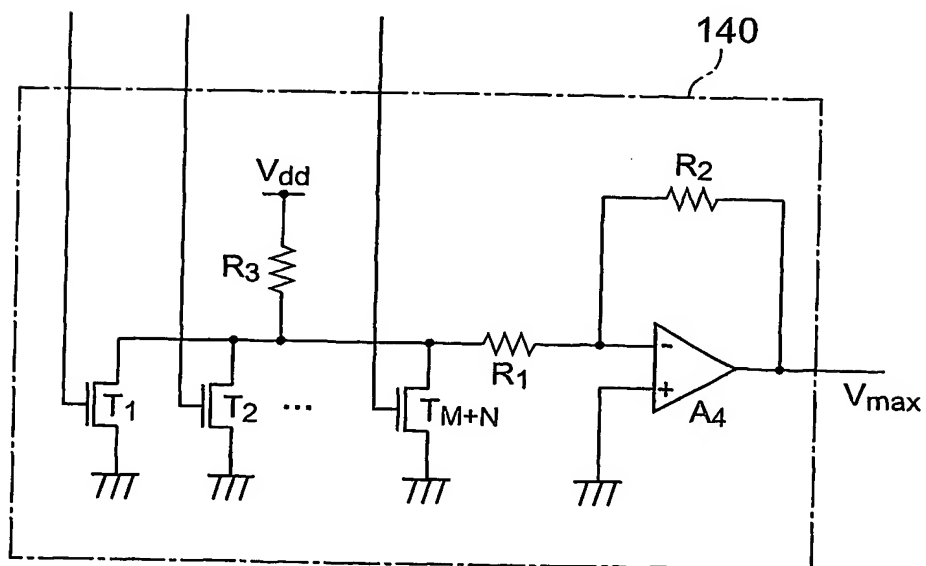


図 16

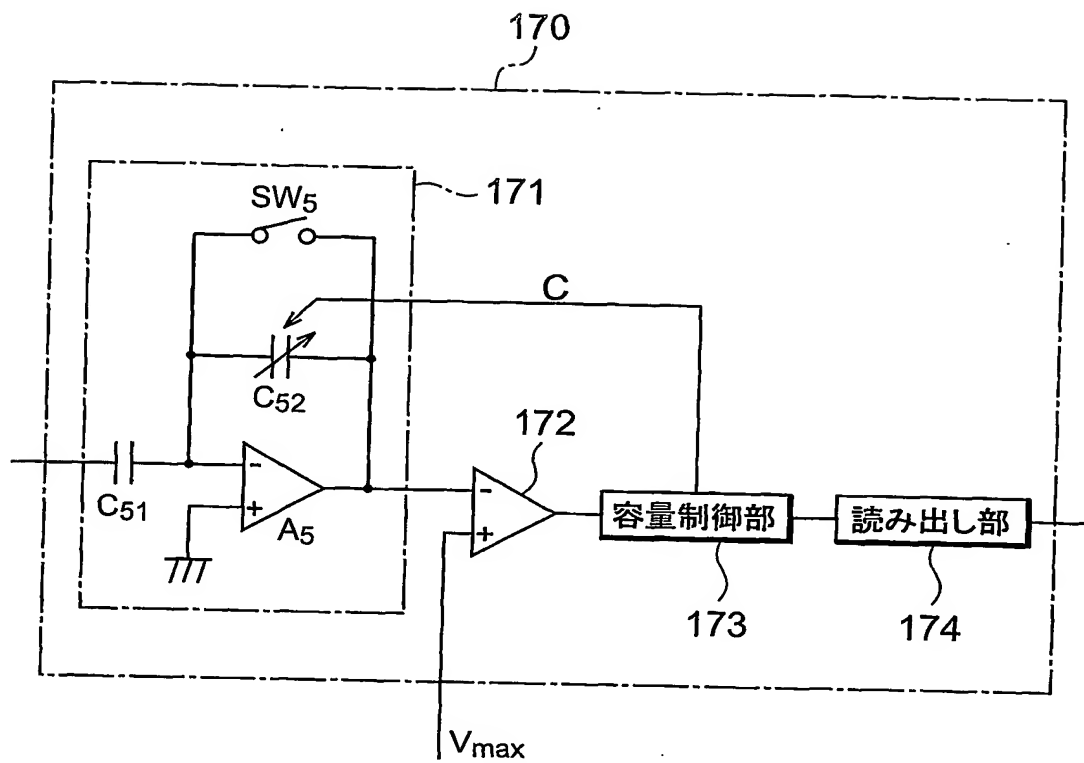
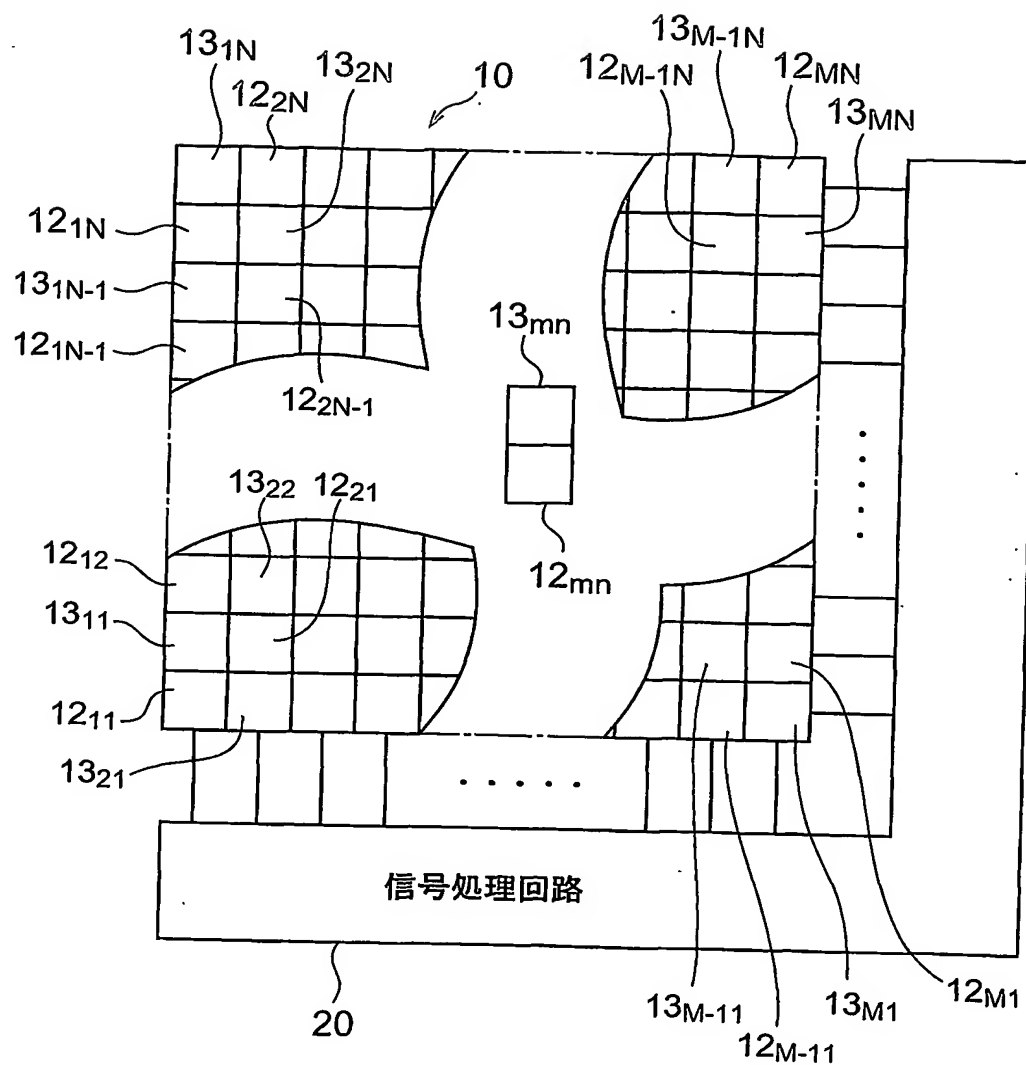


図 17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/001415

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G01B11/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G01B11/00-11/30, G01J1/44, H04N5/335, H01L27/14

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-5832 A (Fujitsu Ltd.), 14 January, 1994 (14.01.94), Full text; all drawings (Family: none)	1-6
A	JP 5-29594 A (Fujitsu Ltd.), 05 February, 1993 (05.02.93), Full text; all drawings (Family: none)	1-6
P,X	WO 03/055201 A1 (Hamamatsu Photonics Kabushiki Kaisha), 04 July, 2003 (04.07.03), Full text; all drawings & JP 2003-189181 A	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"J" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
22 April, 2004 (22.04.04)

Date of mailing of the international search report
18 May, 2004 (18.05.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/JP2004/001415

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.' G01B 11/00

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.' G01B 11/00 - 11/30, G01J1/44, H04N5/335, H01L27/14

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2004年

日本国登録実用新案公報 1994-2004年

日本国実用新案登録公報 1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 6-5832 A (富士通株式会社) 14. 01. 1994, 全文、全図 (ファミリーなし)	1-6
A	JP 5-29594 A (富士通株式会社) 05. 02. 1993, 全文、全図 (ファミリーなし)	1-6
P, X	WO 03/055201 A1 (浜松ホトニクス株式会社) 04. 07. 2003, 全文、全図 & JP 2003-189181 A	1-6

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

22. 04. 2004

国際調査報告の発送日

18. 5. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

山下雅人

2S

9303

電話番号 03-3581-1101 内線 3216